

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-022495

(43)Date of publication of application : 23.01.1998

(51)Int.Cl.

H01L 29/74  
H01L 21/263  
H01L 21/322  
H01L 29/744

(21)Application number : 08-170516

(71)Applicant : MEIDENSHA CORP

(22)Date of filing : 01.07.1996

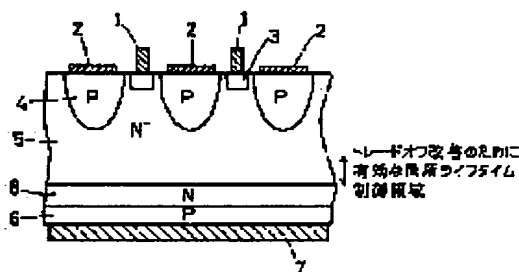
(72)Inventor : HANAKURA MITSURU  
MORIKAWA YOSHIKI  
MIURA TOSHINORI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a lifetime control superior in the trade off relation using an electron beam irradiation by introducing more lattice defects in an n-type high specific resistance region than in a region at the anode region side to control for a more short lifetime of carriers.

SOLUTION: An electron beam is directed to an electrostatic induction thyristor having a p-type gate region 4 for the current on-off control to introduce lattice defects to make more short the lifetime of carriers in a semiconductor layer. This comprises setting the electron beam accelerating voltage to 3MV or less and projecting the beam from a major surface of the thyristor at the n-type cathode region 3 side to introduce more lattice defects in an n-type high specific resistance region than in a region at the anode region 7 side. Thus only the electron beam irradiation available for the mass production at low cost enables the lifetime control equivalent to that by combining the proton irradiation the most excellent in loss characteristic with the electron beam irradiation.



## LEGAL STATUS

[Date of request for examination] 19.12.2001

[Date of sending the examiner's decision of rejection] 20.05.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-22495

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/74			H 0 1 L 29/74	M
21/263			21/263	
21/322			21/322	L
29/744			29/74	H
				C

審査請求 未請求 請求項の数12 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平8-170516  
 (22) 出願日 平成8年(1996) 7月1日

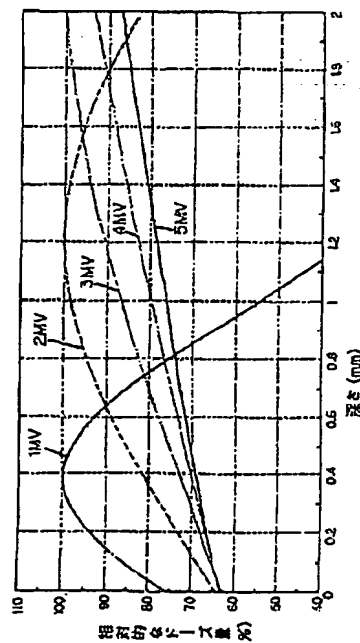
(71) 出願人 000006105  
 株式会社明電舎  
 東京都品川区大崎2丁目1番17号  
 (72) 発明者 花倉 壽  
 東京都品川区大崎2丁目1番17号 株式会  
 社明電舎内  
 (72) 発明者 森川 良樹  
 東京都品川区大崎2丁目1番17号 株式会  
 社明電舎内  
 (72) 発明者 三浦 敏徳  
 東京都品川区大崎2丁目1番17号 株式会  
 社明電舎内  
 (74) 代理人 弁理士 志賀 富士弥 (外1名)

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】 電子線照射法により半導体素子のライフタイムを制御すると、他の制御方法に比べてターンオフ損失の低減とオン電圧の上昇との間のトレードオフの関係が悪くなる。

【解決手段】 比較的に低い加速電圧をパラメータにシリコンの深さと相対的なドーズ量(生成される格子欠陥密度と等価)の関係をシミュレーションにより算出した結果に鑑み、加速電圧を低く制御することによって半導体素子の深さ方向に電子線照射により生成される格子欠陥の分布を作ることにより、製造される半導体素子のトレードオフの関係を改善する。



## 【特許請求の範囲】

【請求項1】 N型半導体基板の一方の主面に複数のスリット状のN型カソード領域を、他方の主面にP型アノード領域をそれぞれ備え、前記カソード領域とアノード領域との間に電流経路となるN型高比抵抗領域を備え、電流のオン・オフの制御を行うためのP型ゲート領域を備えた静電誘導サイリスタに電子線を照射して格子欠陥を導入して半導体層のキャリアのライフタイムを制御する方法において、

電子線の加速電圧を3MV以下とし、かつ静電誘導サイリスタのN型カソード領域側の主面より電子線を照射することにより、前記N型高比抵抗領域において前記アノード領域側の領域により多くの格子欠陥を導入してキャリアのライフタイムをより短く制御することを特徴とする半導体素子の製造方法。

【請求項2】 N型半導体基板の一方の主面に複数のスリット状のN型カソード領域を、他方の主面にP型アノード領域をそれぞれ備え、前記カソード領域とアノード領域との間に電流経路となるN型高比抵抗領域を備え、電流のオン・オフの制御を行うためのP型ゲート領域を備えた静電誘導サイリスタに電子線を照射して格子欠陥を導入して半導体層のキャリアのライフタイムを制御する方法において、

電子線の加速電圧を3MV以下とし、かつ照射する電子のエネルギーが半導体中で減衰する程度に照射源と静電誘導サイリスタとの間にスペーサーを設け、かつP型アノード領域側の主面より電子線を照射することにより、前記N型高比抵抗領域において前記アノード領域側の領域により多くの格子欠陥を導入してキャリアのライフタイムをより短く制御することを特徴とする半導体素子の製造方法。

【請求項3】 前記静電誘導サイリスタは、前記N型高比抵抗領域と前記P型アノード領域との間に比較的に高濃度のN型バッファ層を設けた構造とすることを特徴とする請求項1又は2に記載の半導体素子の製造方法。

【請求項4】 前記静電誘導サイリスタは、前記N型高比抵抗領域または前記N型バッファ層とアノード電極とを短絡するために設けられたN型短絡層を有する構造とすることを特徴とする請求項1乃至3の何れか1に記載の半導体素子の製造方法。

【請求項5】 前記静電誘導サイリスタと同じサイリスタ構造を有するGTOサイリスタやMCT、ESTなどのMOS制御サイリスタのN型高比抵抗領域のアノード領域側の領域のライフタイムをより短く制御する方法として適用することを特徴とする請求項1乃至4の何れか1に記載の半導体素子の製造方法。

【請求項6】 前記ダイオード素子のN型高比抵抗領域であるNベース層領域のPベース側の領域のライフタイムをより短く制御する方法として適用することを特徴とする請求項1乃至3の何れか1に記載の半導体素子の製

造方法。

【請求項7】 IGBT、IEGTなどのMOS制御トランジスタのN型高比抵抗領域であるNベース層領域のPコレクタ層側の領域のライフタイムをより短く制御する方法として適用することを特徴とする請求項1乃至4の何れか1に記載の半導体素子の製造方法。

【請求項8】 静電誘導サイリスタとダイオードを逆並列に集積した素子である逆導通型静電誘導サイリスタにおいて、

10 静電誘導サイリスタ部のみにスペーサーを介して静電誘導サイリスタ部のP型アノード領域側の主面より電子線を照射することにより、静電誘導サイリスタ部のN型高比抵抗領域においてはアノード領域側の領域により多くの格子欠陥を導入してキャリアのライフタイムをより短く制御し、ダイオード部のN型高比抵抗領域においては反対にPベース側の領域のライフタイムをより短く制御することを特徴とする半導体素子の製造方法。

【請求項9】 前記N型高比抵抗領域の静電誘導サイリスタのP型アノード領域との間に比較的に高濃度のN型層をダイオード部および分離部にわたって共通に設けた構造とすることを特徴とする請求項8に記載の半導体素子の製造方法。

【請求項10】 前記静電誘導サイリスタは、前記N型高比抵抗領域または前記高濃度N型層とアノード電極とを短絡するために設けられたN型短絡層を有する構造とすることを特徴とする請求項8又は9の何れか1に記載の半導体素子の製造方法。

【請求項11】 前記静電誘導サイリスタと同じサイリスタ構造を有する素子とダイオードを逆並列に集積した素子である逆導通GTOサイリスタや逆導通MCT、逆導通ESTなどの逆導通型MOS制御サイリスタのN型高比抵抗領域のライフタイムを静電誘導サイリスタ部においてはアノード領域側の領域をより短く制御し、ダイオード部においては反対にPベース側の領域をより短く制御する方法として適用することを特徴とする請求項8乃至10の何れか1に記載の半導体素子の製造方法。

【請求項12】 MOS制御トランジスタ素子とダイオードを逆並列に集積した素子である逆導通IGBT、逆導通IEGTなどの逆導通型MOS制御トランジスタのN型高比抵抗領域のライフタイムをMOS制御トランジスタ部においてはP型コレクタ層側の領域をより短く制御し、ダイオード部においては反対にPベース側の領域をより短く制御する方法として適用することを特徴とする請求項8乃至10の何れか1に記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は静電誘導サイリスタ（または電界制御サイリスタ: Field Controlled Thyristor）を初めとする電力用半導体素子の製造方法に関

するものである。

#### 【0002】

【従来の技術】自己消弧形の半導体デバイスは電力変換の容易さから種々の応用機器に使用されているが、電気エネルギーの高効率利用のためには、高速動作が可能でかつ低損失なデバイスの開発が強く望まれている。

【0003】静電誘導サイリスタ（以下SITHと略す）は高電圧、大電流領域で高速動作可能な次世代の電力用半導体デバイスとして注目されており、電力分野への適用面から現在ゲートターンオフサイリスタ（GTO）で達成されているピーク繰り返しオフ電圧4500V、繰り返し可制御オン電流3000Aクラス以上のデバイスの出現が望まれるようになってきた。

【0004】図10は、SITHの要部の断面構造を示すもので、このSITHはP層6（アノード層）、N層5（ベース層）、N層3（カソード層）およびP層4（ゲート層）によって構成され、電極としてカソード電極1、ゲート電極2、アノード電極7が形成される。

【0005】このSITHは、N型の基板5の一方の主面にP型のアノード層6を形成し、その反対側の主面にP型のゲート層4およびN型のカソード層3を交互に配列した構造のデバイスである。

【0006】また、SITHは、図10の点線で囲まれた単位エレメントを複数個並列に動作させることにより電流容量を増やすことが可能なデバイスである。

【0007】また、SITHは、変換効率が他の電力用半導体素子に比べて高い。それで、高圧大容量のSITHが実現できれば、エネルギー応用分野での進歩が期待できる。SITHの高圧大容量化のために最も解決されなければならない問題はスイッチング損失の低減である。

【0008】中でも、ターンオフ時のテイル電流により発生するテイル損失は全スイッチング損失の大部分を占め、このテイル損失の低減が重要である。このテイル電流を減少させるのに最も有効な方法のひとつにライフタイム制御がある。これは半導体層に重金属や格子欠陥を導入することによって、バンドギャップ内に深いトラップ準位である再結合中心を導入して少数キャリアのライフタイムを短く制御する方法である。

【0009】これにより、半導体層へのキャリアの注入量が抑制されたり、ターンオフ時のテイル時間に蓄積キャリアが再結合により速く消滅したりする効果が生じる。結果的にターンオフ損失を低減できるが、同時にオン電圧が上昇してしまう。これはスイッチング損失と定常損失との間のトレードオフの関係である。よって、ターンオフ損失低減のための手段の良否は、トレードオフの関係で評価されるべきものである。

【0010】言い換えれば、少ないオン電圧の上昇でターンオフ損失を低減できる方法が良い方法であり、結果的に総合損失が低減されて動作周波数の向上が可能とな

る。

【0011】ライフタイム制御方法の代表的なものは、重金属拡散法、電子線照射法、プロトン照射法、ヘリウム照射法である。

#### 【0012】

【発明が解決しようとする課題】現在電力用半導体素子で最も広く行われているライフタイム制御方法は、電子線照射法である。これは高エネルギーに加速した電子線を半導体に照射することで、格子欠陥を生成する方法である。

【0013】電子線照射法の長所は、均一で再現性が高いこと、比較的安価であること、大量処理が可能であることである。

【0014】電子線照射の欠点は、他の代表的なライフタイム制御方法に比べて最もトレードオフの関係が悪いことである。この欠点にもかかわらず、前記の長所のために現在では広く用いられていることは既に述べた。

【0015】しかしながら、損失が大きい高耐圧・大容量素子ではこの欠点は致命的となってしまう。というのは、電力用半導体素子では高耐圧化または大容量化に伴って損失は著しく増加するので、これらの損失をどのように低減するかが最も重要な問題となるからである。

【0016】この原因は、照射する電子線はほとんど減衰することなく半導体層を透過するため、半導体層全域にわたって均一な格子欠陥を導入してしまうことが原因と考えられている。

【0017】下記の参考文献1、2等のデバイスシミュレーション解析によれば、スイッチング損失の主要原因であるテイル損失を低減するにはPエミッタ近傍のNベース層のライフタイムのみ短くする局所ライフタイム制御が有効で、それ以外の領域も同レベルで短くしたものよりトレードオフの関係が優れていることが知られている。

【0018】参考文献1：W.Wondrak et al. "PROTON IMPLANTATION FOR SILICON POWER DEVICES", I. SPSPD'88 Proceedings p.147~152, 1988.

【0019】参考文献2：市川 他, "4500V級SIサイリスタの特性シミュレーション", 第9回SIデバイスシンポジウム 講演論文集 p.1~6, 1996.

【0020】従来用いられていた重金属拡散は、拡散不純物の濃度分布により電子線照射法よりは局所ライフタイム制御が可能でトレードオフの関係も良かった。しかし、プロセスの複雑さと制御性の悪さの欠点のために、現在ではほとんど電子線照射法に置き換えられている。

【0021】プロトン照射法およびヘリウム照射法は、イオン化したプロトンまたはヘリウムを高エネルギーに加速して半導体に照射する方法である。電子線と異なり質量が重いので、半導体層を透過することなく一定の深さに留まり、局所的に格子欠陥を生成する。深さの制御

は加速エネルギーによって制御できる。よって、これらの方法はほぼ理想的な局所ライフタイム制御方法として注目されている。

【0022】しかしながら、これらの方法は実用化に際して次のような重大な欠点があった。

【0023】(1) 加速器を使用して枚用処理するためにコストが高く大量処理できない。

【0024】(2) テイル損失の制御には有効であるが、その他の特性の制御は局所性が強いためできない。それで、さらに他の領域を局所ライフタイム制御したり、電子線照射したりする必要があった。これがさらにコストアップの原因となっていた。

【0025】これらの主に高コストの欠点のために、一部の高価で特殊な素子に実用化されているだけであった。

【0026】

【課題を解決するための手段】本発明は、S I T h等の電力用半導体素子の製造方法として、素子動作におけるテイル損失を効果的に減少させることができる電子線照射方法を提供するものである。具体的には電子線照射の、トレードオフの関係を改善するようにしたものである。もちろんプロトン照射法やヘリウム照射法に比べて局所性は低いが、前述のようにさらに電子線照射を組み合わせた方法と比べれば遜色はない。

【0027】図1は、比較的に低い加速電圧をパラメータにシリコンの深さと相対的なドーザ量(生成される格子欠陥密度と等価)の関係をシミュレーションにより算出したものである。ここで、相対的なドーザ量はピーク値を100%としてある。図から分かるように、加速電圧を低く制御することによって半導体層の深さ方向に電子線照射により生成される格子欠陥の分布を作ることができる。

【0028】本発明は、この実験事実に鑑み、安価で大量処理の可能な電子線照射を用いてトレードオフの関係を優れたライフタイム制御になる以下の製造方法を提供するものである。

【0029】(第1の発明)本発明は、N型半導体基板の一方の主面に複数のスリット状のN型カソード領域を、他方の主面にP型アノード領域をそれぞれ備え、前記カソード領域とアノード領域との間に電流経路となるN型高比抵抗領域を備え、電流のオン・オフの制御を行うためのP型ゲート領域を備えた静電誘導サイリスタに電子線を照射して格子欠陥を導入して半導体層のキャリアのライフタイムを制御する方法において、電子線の加速電圧を3MV以下とし、かつ静電誘導サイリスタのN型カソード領域側の主面より電子線を照射することにより、前記N型高比抵抗領域において前記アノード領域側の領域により多くの格子欠陥を導入してキャリアのライフタイムをより短く制御することを特徴とする。

【0030】(第2の発明)本発明は、N型半導体基板

の一方の主面に複数のスリット状のN型カソード領域を、他方の主面にP型アノード領域をそれぞれ備え、前記カソード領域とアノード領域との間に電流経路となるN型高比抵抗領域を備え、電流のオン・オフの制御を行うためのP型ゲート領域を備えた静電誘導サイリスタに電子線を照射して格子欠陥を導入して半導体層のキャリアのライフタイムを制御する方法において、電子線の加速電圧を3MV以下とし、かつ照射する電子のエネルギーが半導体中で減衰する程度に照射源と静電誘導サイリスタとの間にスペーサーを設け、かつP型アノード領域側の主面より電子線を照射することにより、前記N型高比抵抗領域において前記アノード領域側の領域により多くの格子欠陥を導入してキャリアのライフタイムをより短く制御することを特徴とする。

【0031】(第3の発明)本発明は、前記第1又は第2の発明において、前記静電誘導サイリスタは、前記N型高比抵抗領域と前記P型アノード領域との間に比較的に高濃度のN型バッファ層を設けた構造とすることを特徴とする。

【0032】(第4の発明)本発明は、前記第1乃至第3の何れかの発明において、前記静電誘導サイリスタは、前記N型高比抵抗領域または前記N型バッファ層とアノード電極とを短絡するために設けられたN型短絡層を有する構造とすることを特徴とする。

【0033】(第5の発明)本発明は、前記第1乃至第4の何れかの発明において、前記静電誘導サイリスタと同じサイリスタ構造を有するGTOサイリスタやMC T、E S TなどのMOS制御サイリスタのN型高比抵抗領域のアノード領域側の領域のライフタイムをより短く制御する方法として適用することを特徴とする。

【0034】(第6の発明)本発明は、前記第1乃至第3の何れかの発明において、前記ダイオード素子のN型高比抵抗領域であるNベース層領域のPベース側の領域のライフタイムをより短く制御する方法として適用することを特徴とする。

【0035】(第7の発明)本発明は、前記第1乃至第4の何れかの発明において、I G B T、I E G TなどのMOS制御トランジスタのN型高比抵抗領域であるNベース層領域のPコレクタ層側の領域のライフタイムをより短く制御する方法として適用することを特徴とする。

【0036】(第8の発明)本発明は、静電誘導サイリスタとダイオードを逆並列に集積した素子である逆導型静電誘導サイリスタにおいて、静電誘導サイリスタ部のみにスペーサーを介して静電誘導サイリスタ部のP型アノード領域側の主面より電子線を照射することにより、静電誘導サイリスタ部のN型高比抵抗領域においてはアノード領域側の領域により多くの格子欠陥を導入してキャリアのライフタイムをより短く制御し、ダイオード部のN型高比抵抗領域においては反対にPベース側の領域のライフタイムをより短く制御することを特徴とする。

る。

【0037】(第9の発明)本発明は、前記第8の発明において、N型高比抵抗領域の静電誘導サイリスタのP型アノード領域との間に比較的に高濃度のN型層をダイオード部および分離部にわたって共通に設けた構造とすることを特徴とする。

【0038】(第10の発明)本発明は、前記第8又は第9の発明において、前記静電誘導サイリスタは、前記N型高比抵抗領域または前記高濃度N型層とアノード電極とを短絡するために設けられたN型短絡層を有する構造とすることを特徴とする。

【0039】(第11の発明)本発明は、前記第8乃至第10の何れかの発明において、前記静電誘導サイリスタと同じサイリスタ構造を有する素子とダイオードを逆並列に集積した素子である逆導通GTOサイリスタや逆導通MCT、逆導通ESTなどの逆導通型MOS制御サイリスタのN型高比抵抗領域のライフタイムを静電誘導サイリスタ部においてはアノード領域側の領域をより短く制御し、ダイオード部においては反対にPベース側の領域をより短く制御する方法として適用することを特徴とする。

【0040】(第12の発明)本発明は、前記第8乃至第10の何れかの発明において、前記MOS制御トランジスタ素子とダイオードを逆並列に集積した素子である逆導通IGBT、逆導通IGETなどの逆導通型MOS制御トランジスタのN型高比抵抗領域のライフタイムをMOS制御トランジスタ部においてはP型コレクタ層側の領域をより短く制御し、ダイオード部においては反対にPベース側の領域をより短く制御する方法として適用することを特徴とする。

【0041】

【発明の実施の形態】

(実施形態1) Nベース厚み分より深いドーズ量のピーク位置をもつ加速電圧で電子線をNエミッタ層側から照射する方法。

【0042】図2に、加速電圧2MVの電子線を0.6mm厚みのSiThに照射したときの深さと相対的なドーズ量との関係を示す。0.6mm厚みは定格4500Vの素子厚みに相当する。

【0043】同図から分かるように、テイル電流に影響するNベース層のPエミッター近傍のライフタイムが比較的に短くなるので、従来の均一な電子線照射法よりトレードオフの関係が改善される。

【0044】シリコン半導体の高耐圧素子の厚みがたかだか1mmであることを考慮し、ドーズ量の分布差を20%以上つけようとするれば、加速電圧は図1より3MV以下が適当であることがわかる。分布差があるほど局所ライフタイム制御の効果が強くなるのでトレードオフの関係はより改善される。つまり、Nベース厚み分に近いドーズ量のピーク位置をもつ加速電圧ほど望ましい。

【0045】本実施形態により得られるライフタイム分布は、プロトン照射法やヘリウム照射法による分布よりは局所性は劣り、プロトン照射法やヘリウム照射法に電子線照射法を組み合わせたものの分布に類似している。

【0046】しかしながら、実際に実用的な分布は前述のように後者であることから、問題はない。

【0047】(実施形態2)加速装置と半導体との間に厚みが均一なスペーサーを挿入して、電子線をPエミッタ層側から照射する方法。

10 【0048】図1の1MVのカーブに着目すると、相対ドーズ量がピークに達した後の部分のみを用いれば実施形態1の場合より、より分布差のあるライフタイム制御が可能となる。

【0049】この場合は分布形状よりライフタイムを相対的に短くしたいPエミッタ層側より照射することになる。照射する半導体にピークの位置から電子線を照射するには、ピーク位置までのシリコン分を補償してやらなければならない。それで、ピークまでの厚み分のシリコン板かシリコンと比重の近いアルミニウム板をスペーサーとして挿入してやれば良い。

20 【0050】また、それ以外の物質をスペーサーとして用いることもできる。その場合のスペーサー厚み $t$ は次式で算出できる。

【0051】 $t = (\text{シリコンでの電子線ドーズ量ピーク位置までの距離}) \div (\text{シリコンに対する比重})$ 。

【0052】図3に加速電圧1MVの電子線を0.4mm厚みのSiスペーサーを介して0.6mm厚みのSiThに照射したときの深さと相対的なドーズ量との関係を示す。

30 【0053】図4に1MVの加速電圧の電子線照射を用いてSiThに本実施形態を適用した結果を示す。用いたSiThは、10mm×10mm角のチップで、定格4.5kV-25AのSiThで、半導体部の厚みは約0.6mmである。

【0054】また、素子構造は図5に示すようなNベース層にNバッファ層8を付加したいわゆるPINベース構造となっている。図4で横軸は電流密度50A/cm<sup>2</sup>のときのオン電圧、縦軸は25Aの電流をターンオフしたときのターンオフ損失である。条件1のトレードオフ曲線は比較のために図5のNエミッタ層側から電子線を照射した素子のもので、条件2はPエミッタ層側から電子線を照射した本実施形態のトレードオフ曲線である。NベースのPエミッタ付近のライフタイムを相対的に短くできる本実施形態の方が、あきらかにトレードオフの関係が優れていることがわかる。

【0055】また、PINベース構造以外でも、図6に示すようなNベース層5とアノード電極7とをNショート層9によって短絡した、いわゆるアノードショート構造を組み合わせた素子においても上記実施形態1、2は同様に適用できる。

50 【0056】以上、実施形態1、2をSiThについて説明したが、これらの実施形態はSiThと同じサイリ

スタ構造をもつサイリスタ、GTOサイリスタ (Gate Turn-off Thyristor)、MCT (MOS Controlled Thyristor)、EST (Emitter Switched Thyristor) などのMOS制御サイリスタなどの素子にも同様に適用できる。

【0057】また、それらの素子で、Nベース層にNバッファ層が付加されている構造の素子や、Pエミッタ層とNベース層が短絡されているアノードショート構造の素子においても本実施形態が同様に適用できることは明らかである。

【0058】(実施形態3) 図7にダイオード素子の断面図を示す。半導体基板であるN型ベース層13とP型ベース層12及びN型オーミック層14にアノード電極10とカソード電極11を設ける。

【0059】このダイオード素子では逆回復特性が最も重要なスイッチング特性であるが、これを改善するにはサイリスタ素子とは逆にNベース層のPベース近傍のライフタイムを比較的に短くするのが有効である。それで、実施形態1の方法を用いた場合はNベース側から、実施形態2の方法を用いた場合はPベース側から電子線照射を行うことによって有効なライフタイム制御ができる。

【0060】図7は基本的なPINダイオードを示してあるが、同様の機能を持つ他の構造の電力用ダイオードにも適用できるのは明らかである。

【0061】(実施形態4) 図8にIGBT (Insulated Gate Bipolar Transistor) の断面図を示す。同図中、15はソース電極、16はゲート電極、17は絶縁膜、18はN型ソース層、19はP型ウェル層、20はN型ベース層、21はP型コレクタ層、22はドレイン電極である。

【0062】IGBTに代表される電力用トランジスタ素子では、Nベース層のPコレクタ層近傍のライフタイムを比較的に短くするのが有効である。

【0063】それで、実施形態1の方法を用いた場合はNエミッタ側から、実施形態2の方法を用いた場合はPコレクタ側から電子線照射を行うことによって有効なライフタイム制御ができる。

【0064】図8は代表的なIGBTについて示してあるが、同様の構造を持つIGBT (Injection Enhanced Gate Transistor) などのMOS制御トランジスタにも適用できるのは明らかである。

【0065】また、SIサイリスタと同様にNベース層にNバッファ層を付加したいわゆるパンチスルー型のIGBTを始めとするMOS制御トランジスタにも適用できるのは明らかである。またPコレクタ層とNベース層が短絡されているショート構造の素子においても本実施形態が同様に適用できることは明らかである。

【0066】(実施形態5) 図9は、SIサイリスタとダイオードを逆並列に集積した逆導通SIサイリスタの断

面図である。実施形態3で説明したようにダイオードでは比較的にライフタイムを短く制御するべき領域が異なる。

【0067】それで、従来はSIサイリスタかダイオードのどちらかの特性を犠牲にしたり、またはマスキングしてそれぞれ別個にライフタイム制御してやる必要があった。

【0068】本実施形態では図9に示すように、SIサイリスタ部のみにスペーサを介してSIサイリスタのPエミッター側 (ダイオードのNベース側) から電子線を照射するようにしている。

【0069】これによりダイオード部に関しては実施形態1と同じ効果によりNベース層のPベース近傍のライフタイムが比較的に短く制御される。他方のSIサイリスタに関しては実施形態2と同じ効果によりNベース層のPエミッタ近傍のライフタイムが比較的に短く制御される。このように同じ電子線照射で素子面内の異なる部分の局所ライフタイム制御が可能となる。

【0070】本実施形態は逆導通SIサイリスタについて説明したが、同様にダイオードを逆並列に集積することからなる電力用半導体素子である逆導通サイリスタ、逆導通GTOサイリスタ、逆導通MCT、逆導通MOS制御サイリスタ、逆導通IGBT、逆導通IEGT等にも同様に適用できることは明らかである。

【0071】

【発明の効果】以上のとおり、本発明によれば、安価で大量生産の可能な電子線照射のみで、従来の高価であるが損失特性が最も優れていたプロトン照射と電子線照射との組み合わせによる方法と同等のライフタイム制御が可能となる。

【0072】これに伴い、高性能の高耐圧・大容量のSiThを初めとする電力用半導体素子が安価に大量生産できるようになり、その波及高価は大きい。

【0073】特に、サイリスタ素子またはトランジスタ素子とダイオード素子を集積した逆導通素子で提案した本発明のライフタイム制御方法は、従来のプロトン照射法やヘリウム照射法でも実現が困難な方法である。

【図面の簡単な説明】

【図1】加速電圧をパラメータにシリコンの深さと相対的なドーズ量の関係図。

【図2】加速電圧2MVの電子線を0.6mm厚みのSiThに照射したときの深さと相対的なドーズ量との関係図。

【図3】加速電圧1MVの電子線を0.4mm厚みのSiスペーサを介して0.6mm厚みのSiThに照射したときの深さと相対的なドーズ量との関係図。

【図4】1MVの加速電圧の電子線照射を用いて製造したSiThのオン電圧ターンオフ損失特性。

【図5】PINベース構造を持つ静電誘導サイリスタ構造。

【図6】アノードショート構造を持つ静電誘導サイリス

11

タ構造。

【図7】PINダイオード素子の断面図。

【図8】IGBTの断面図。

【図9】SIサイリスタとダイオードを逆並列に集積した逆導通SIサイリスタの断面図

【図10】静電誘導サイリスタの断面図。

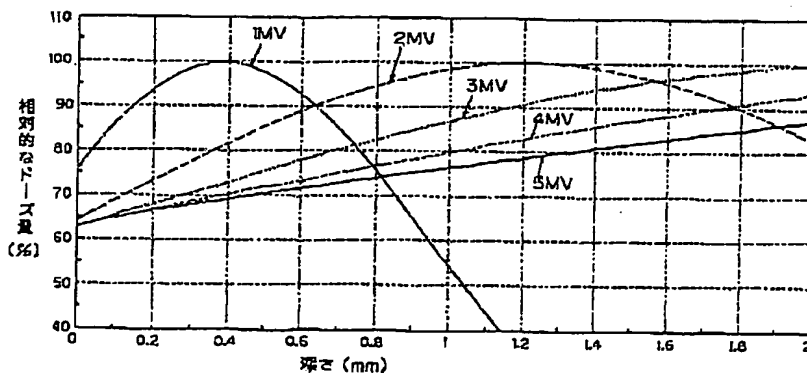
【符号の説明】

- 1、11…カソード電極  
 2、16…ゲート電極  
 3…N型エミッタ層(カソード領域)  
 4…P型ゲート層  
 5、13、20…半導体基板であるN型ベース層

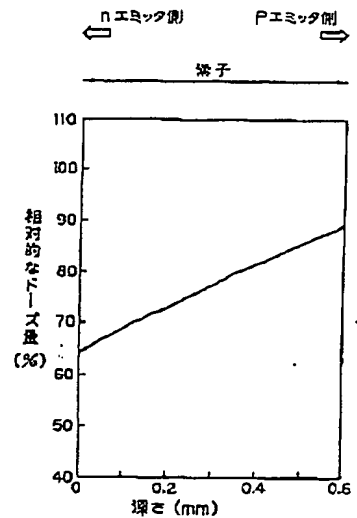
12

- 6…P型エミッタ層(アノード領域)  
 7、10…アノード電極  
 8…N型バッファ層  
 9…N型ショート層  
 12…P型ベース層  
 14…N型オーミック層  
 15…ソース電極  
 17…絶縁膜  
 18…N型ソース層  
 10 19…P型ウェル層  
 21…P型コレクタ層  
 22…ドレイン電極

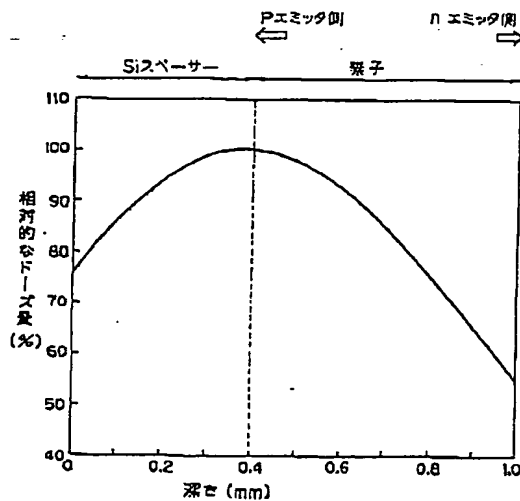
【図1】



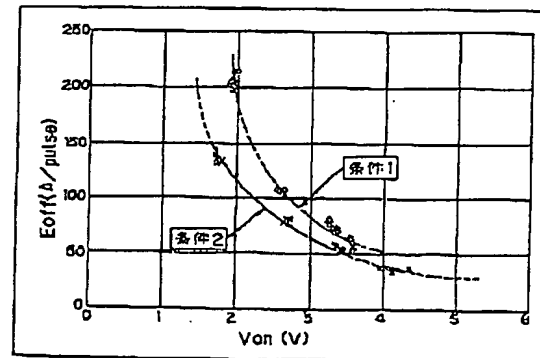
【図2】



【図3】



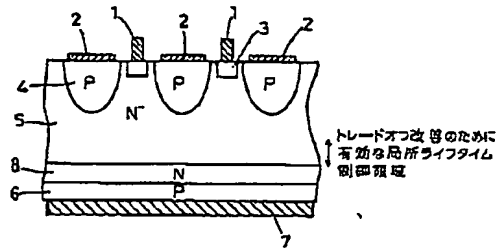
【図4】



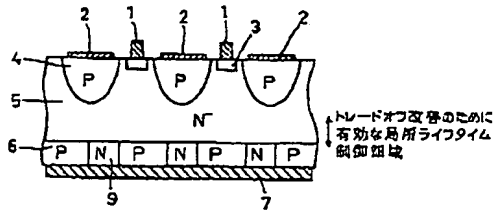
Best Available Copy



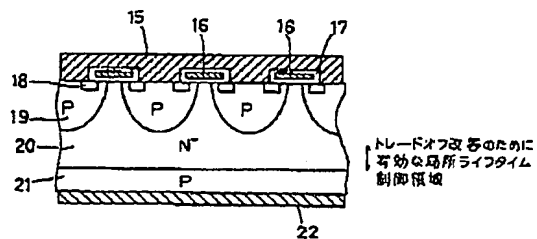
【図5】



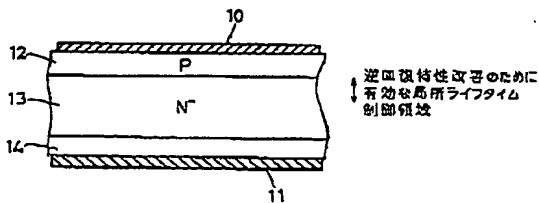
【図6】



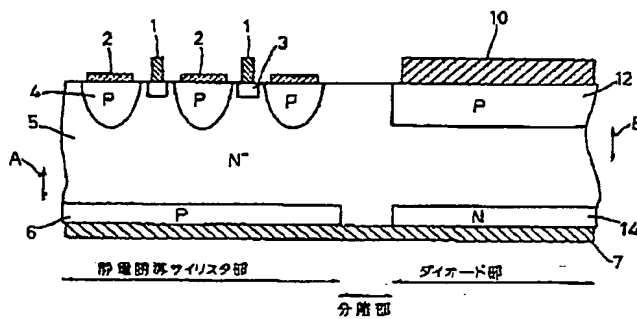
【図8】



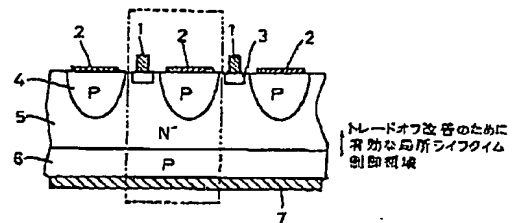
【図7】



【図9】



【図10】



- A--- 静電誘導サイリスタ部のトレードオフ改善のために有効な局所ライフタイム制御領域  
 B--- ダイオード部の逆回復特性改善のために有効な局所ライフタイム制御領域

フロントページの続き

(51) Int. Cl. 8

識別記号 庁内整理番号

FI  
H01L 29/74

技術表示箇所

N  
Q

Rest Available Copy